

REFERENCE CLOCK REPRODUCING APPARATUS AND RECORDING APPARATUS

Publication number: JP10334615

Publication date: 1998-12-18

Inventor: SASAMOTO MANABU; EDA TAKANORI

Applicant: HITACHI LTD

Classification:

- international: **G11B33/06; G11B20/10; G11B20/14; G11B33/06; G11B20/10; G11B20/14; (IPC1-7): G11B20/14; G11B20/10; G11B33/06**

- European:

Application number: JP19970136428 19970527

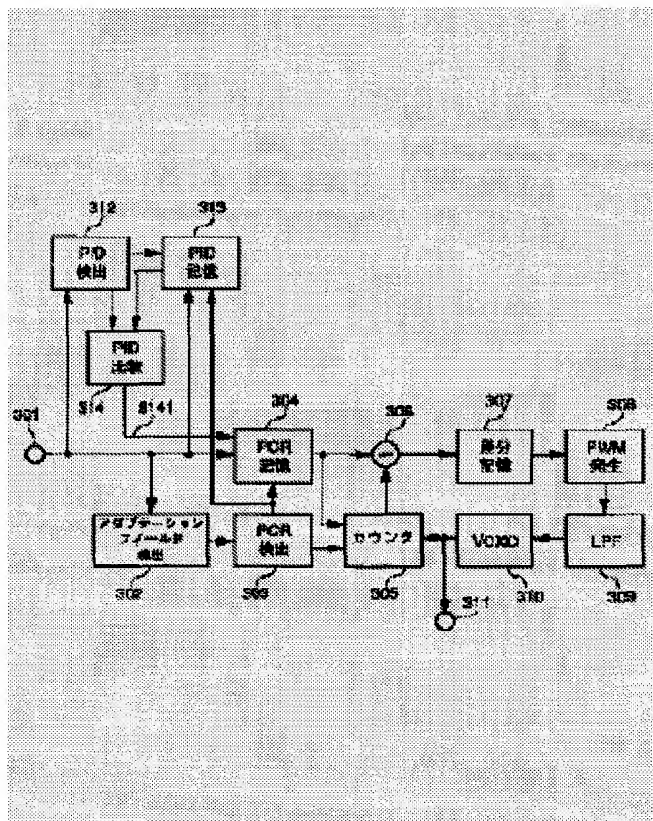
Priority number(s): JP19970136428 19970527

[Report a data error here](#)

Abstract of JP10334615

PROBLEM TO BE SOLVED: To obtain a reference clock with a simplified circuit structure by detecting a time information from an input packet, storing the packet identifying number storing the first arriving time information and then reproducing the reference clock from the time information when the next arriving packet identifying signal and the stored packet identifying number is compared and their matching is recognized.

SOLUTION: An adaptation field detecting circuit 302 detects, when the adaptation field control indicates existence off the adaptation field, it from the input packet string. A PCR detecting circuit 303 refers to the PCR flag in the adaptation field and transmits, when the adaptation field detects existence of PCR, a message indicating it to the PCR memory circuit 304, counter 305 and PID storing circuit 313 in order to make PID memory circuit 313 to PID storing the first arriving PCR to acquire PCR in view of keeping continuity of PCR.



Data supplied from the esp@cenet database - Worldwide

Partial Translation of JP 1998-334615

Publication Date: December 18, 1998

Application No.: 1997-136428

Filing Date: May 27, 1997

Applicant: HITACHI LTD

Inventor: Manabu SASAMOTO

Inventor: Takanori EDA

[0015]

The tuner 202 receives inputted broadcast waves, and performs tuning and detection of broadcast waves of a specified frequency by means of the control circuit (not shown). The detected received signal has been modulated by a modulation scheme such as quadric-phase shifting keying (QPSK), and is subjected to demodulation and error correction operations at the following demodulation and error correction circuit 203. As shown in FIG. 2 (a), the digital signal obtained therein is of the multiplexed signal type (Transport Stream, hereinafter referred to as TS) wherein packets of compressed video, audio signals, etc. of a plurality of channels are multiplexed. In the case of MPEG 2 standard, packet size is specified to be 188 bytes.

[0020]

Among certain physical channels composed of a plurality of organized channels, the selection circuit 204 supplies to the digital interface circuit 208 packet string of video, sound, PCR, etc. of all or some selected organized channels. The digital interface circuit 208 is an implementation of a

protocol of a high-speed digital bus interface such as IEEE 1394, etc. and is capable of transmitting data at a high speed while maintaining time intervals among inputted packet string. Data transmitted through the input/output terminals 209, 101 is supplied to the reference clock reproduction circuit 103 and the time stamp circuit 1041, while reproducing by the digital interface circuit 102 time intervals of packet string such as video, sound, PCR, etc. of a plurality of organized channels that were outputted from the selection circuit 204.

[0029]

Now turning back to FIG. 1, we describe the following. The reference clock reproduced by the reference clock reproduction circuit 103 is supplied to the time stamp circuit 1041 and the record signal processing circuit 1042.

Based on the reference clock from the reference clock reproduction circuit 103, the time stamp circuit 1041 adds arrival time of each packet as a time stamp to each packet from the digital interface circuit 102. A time stamp that shall be 4 bytes, for instance, is combined with packet data and passed to the record signal processing circuit 1042 as a packet of 192 bytes. The record signal processing circuit 1042 adds a predetermined control code, error correction code, etc. and supplies it to the record amplifier 1051 as a record signal. In addition, the servo circuit 107 controls a rotation phase of the rotating drum 1053 by a reference signal from the record signal processing circuit 1042 that operates based on a reference clock from the reference clock reproduction circuit 103, and forms and records a predetermined record track on the magnetic tape 106 by the magnetic head

1054 mounted on the rotating drum 1053. With the operations described above, a user can record a selected program on the magnetic tape.

[0030]

In the following, we describe reproduction operation.

[0031]

During reproduction, the oscillator 109 generates a reference clock by a quartz oscillator, etc. that oscillates at the frequency of 27MHz. The reference clock is supplied to the reproduction signal processing circuit 1081 and the time stamp removal circuit 1082, and a reference signal from the reproduction signal processing circuit 1081 is inputted to the servo circuit 107. The servo circuit 107 controls a rotation phase of the rotating drum 1053. A reproduction signal is obtained from the record track by the magnetic head 1054 that scans the record tracks on the magnetic tape 106 and amplified by the reproduction amplifier 1052. The reproduction signal is inputted to the reproduction signal processing circuit 1081. The reproduction signal processing circuit 1081 performs the error correction process, etc., and reproduces a packet of 192 bytes. Operating with reference clocks of the oscillator 109 and having the timing function to generate time information, the time stamp removal circuit 1082 removes a time stamp and outputs a packet of 188 bytes to the digital interface circuit 102, when a time stamp added to a packet at the time of recording matches the time information obtained at the time stamp removal circuit 1082. The operations described above enables reproduction of a packet string, while maintaining time interval of each packet of the packet string inputted during recording.

[0032]

The reproduced packet string is supplied to the selection circuit 204 through the digital interface circuits 102, 208 while maintaining the time interval of each packet. A user can view information on the magnetic tape, with similar operations to the reception of broadcast waves.

(11)特許出願公開番号

(43)公開日 平成10年(1998)12月18日

| | | |
|----------------|-------|----------------|
| F I | | |
| G 1 1 B | 20/14 | 3 5 1 A |
| | 20/10 | D |
| | 33/06 | D |
| | | M |

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(74)代理人 弁理士 小川 勝男

【解決手段】デジタルインターフェース回路からの複数編成チャンネルの映像、音声、PCR等のパケット列から、アダプテーションフィールドコントロール検出回路、PCRフラグ検出回路によりアダプテーションフィールド内のPCRフラグを検出し、そのパケットのPIDをPID記憶回路に記憶する。次にPCRが到達したときには、PID比較回路によりPIDを比較し、一致した場合にPCRの記憶を行うことでその編成チャンネルのPCRを抜き出す。すなわち、伝送されてきた複数編成チャンネルのパケット列からそのPCRを獲得するために、PSIテーブルからのPIDの参照を行う必要がなく、簡単な回路構成でPCRが獲得できる。

The block diagram illustrates a PLL control system. It features a feedback loop where the output of the 'アダプテーション フィールド 検出' (Adaptive Field Detection) block 302 is compared with a reference signal at the 'PID 比較' (PID Comparison) block 314. The resulting error signal is processed by the 'PID 検出' (PID Detection) block 312 and then the 'PID 記憶' (PID Memory) block 313. The output of the PID memory is fed into the 'PCR 記憶' (PCR Memory) block 304. The 'PCR 記憶' block 304 also receives input from the 'PCR 検出' (PCR Detection) block 303. The output of the PCR memory is fed into the 'カウンタ' (Counter) block 305. The counter's output is fed back to the 'PID 比較' block 314 and also passes through a '分周器' (Frequency Divider) block 307. The output of the frequency divider is compared with a reference signal at the 'FWM 発生' (FWM Generation) block 306. The output of the FWM generation block is fed into the 'LPF' (Low Pass Filter) block 309. The output of the LPF is fed into the 'VCXO' (Voltage-Controlled Crystal Oscillator) block 310. The output of the VCXO is fed back to the 'カウンタ' (Counter) block 305 and also passes through a '分周器' (Frequency Divider) block 311. The output of the frequency divider 311 is fed into the 'FWM 発生' (FWM Generation) block 306.

【特許請求の範囲】

【請求項1】一つの packets が、ヘッダ部とデータ部で構成され、

前記ヘッダ部は、そのヘッダ部を拡張するアダプテーションフィールドが格納されているかどうかを示すアダプテーションフィールドフラグと、そのアダプテーションフィールドフラグが前記アダプテーションフィールドの格納を示す場合には前記アダプテーションフィールドとを含み、

前記アダプテーションフィールドは、処理の基準となる時間情報が格納されているかどうかを示す時間情報フラグと、その時間情報フラグが前記時間情報の格納を示す場合には前記時間情報とを含み、

さらに、前記ヘッダ部は、前記 packets が少なくとも前記時間情報を格納していることを識別するため割り当てられた packets 識別番号を含み、

前記時間情報は、各プログラム毎に一連の時間情報として与えられ、

前記時間情報を格納している前記 packets には、各プログラム毎に固有の前記 packets 識別番号が割り当てられて格納されており、

前記 packets 形式で伝送される一つのプログラムあるいは複数のプログラムが多重化された packets 列のうち、一プログラムあるいは複数プログラムの packets 列が入力され、その packets 列から、前記時間情報を抽出して、その時間情報を基に基準クロックを再生する基準クロック再生装置であって、

アダプテーションフィールドフラグ判別手段と、

時間情報フラグ判別手段と、

時間情報抽出手段と、

packets 識別番号検出手段と、

packets 識別番号記憶手段と、

packets 識別番号比較手段と、

クロック発生手段とを備え、

入力される前記 packets から、

最初に到来する前記時間情報は、前記アダプテーションフィールドフラグ判別手段により、前記アダプテーションフィールドが格納されていると判別され、かつ、

前記時間情報フラグ判別手段により、前記時間情報が格納されていると判別された場合、

前記 packets の前記 packets 識別番号を前記 packets 識別番号記憶手段により記憶するとともに、

前記 packets の前記アダプテーションフィールド内の前記時間情報を前記時間情報抽出手段により抽出し、

次から到来する前記時間情報は、入力される packets から前記 packets 識別番号検出手段で検出した前記 packets 識別番号と、前記 packets 識別番号記憶手段で記憶している packets 識別番号とを前記 packets 識別番号比較手段により比較して、一致した場合に、その packets のアダプテーションフィールド内の時間情報を前記前記時

間情報抽出手段により抽出して、その時間情報を基に前記クロック発生手段により、基準クロックを再生することを特徴とする基準クロック再生装置。

【請求項2】一つの packets が、ヘッダ部とデータ部で構成され、

前記ヘッダ部は、そのヘッダ部を拡張するアダプテーションフィールドが格納されているかどうかを示すアダプテーションフィールドフラグと、そのアダプテーションフィールドフラグが前記アダプテーションフィールドの格納を示す場合には前記アダプテーションフィールドとを含み、

前記アダプテーションフィールドは、処理の基準となる時間情報が格納されているかどうかを示す時間情報フラグと、その時間情報フラグが前記時間情報の格納を示す場合には前記時間情報とを含み、

さらに、前記ヘッダ部は、前記 packets が少なくとも前記時間情報を格納していることを識別するため割り当てられた packets 識別番号を含み、

前記時間情報は、各プログラム毎に一連の時間情報として与えられ、

前記時間情報を格納している前記 packets には、各プログラム毎に固有の前記 packets 識別番号が割り当てられて格納されており、

前記 packets 形式で伝送される一つのプログラムあるいは複数のプログラムが多重化された packets 列のうち、一プログラムあるいは複数プログラムの packets 列が入力され、その packets 列から、前記時間情報を抽出して、その時間情報を基に基準クロックを再生する基準クロック再生装置を備え、その基準クロックを基に記録処理を行い、前記 packets 列を記録媒体に記録する記録装置であって、

前記基準クロック再生装置は、

アダプテーションフィールドフラグ判別手段と、

時間情報フラグ判別手段と、

時間情報抽出手段と、

packets 識別番号検出手段と、

packets 識別番号記憶手段と、

packets 識別番号比較手段と、

クロック発生手段とを備え、

入力される前記 packets から、

最初に到来する前記時間情報は、

前記アダプテーションフィールドフラグ判別手段により、前記アダプテーションフィールドが格納されていると判別され、かつ、

前記時間情報フラグ判別手段により、前記時間情報が格納されていると判別された場合、

前記 packets の前記 packets 識別番号を前記 packets 識別番号記憶手段により記憶するとともに、

前記 packets の前記アダプテーションフィールド内の前記時間情報を前記時間情報抽出手段により抽出し、

次から到来する前記時間情報は、
入力されるパケットから前記パケット識別番号検出手段で検出した前記パケット識別番号と、前記パケット識別番号記憶手段で記憶しているパケット識別番号とを前記パケット識別番号比較手段により比較して、一致した場合に、そのパケットのアダプテーションフィールド内の時間情報を前記前記時間情報抽出手段により抽出して、その時間情報を基に前記クロック発生手段により、基準クロックを再生することを特徴とする記録装置。

【請求項3】一つのパケットが、ヘッダ部とデータ部で構成され、

前記ヘッダ部は、そのヘッダ部を拡張するアダプテーションフィールドが格納されているかどうかを示すアダプテーションフィールドフラグと、そのアダプテーションフィールドフラグが前記アダプテーションフィールドの格納を示す場合には前記アダプテーションフィールドとを含み、

前記アダプテーションフィールドは、処理の基準となる時間情報が格納されているかどうかを示す時間情報フラグと、その時間情報フラグが前記時間情報の格納を示す場合には前記時間情報とを含み、

さらに、前記ヘッダ部は、前記パケットが少なくとも前記時間情報を格納していることを識別するため割り当てられたパケット識別番号を含み、

前記時間情報は、各プログラム毎に一連の時間情報として与えられ、

前記時間情報を格納している前記パケットには、各プログラム毎に固有の前記パケット識別番号が割り当てられて格納されており、

前記パケット形式で伝送される一つのプログラムあるいは複数のプログラムが多重化されたパケット列のうち、一プログラムあるいは複数プログラムのパケット列が入力され、そのパケット列から、前記時間情報を抽出して、その時間情報を基に基準クロックを再生する基準クロック再生装置を備え、その基準クロックを基に記録処理を行うとともに回転ヘッドを回転させ、前記パケット列を前記回転ヘッドを用いて磁気テープに記録する記録装置であって、

前記基準クロック再生装置は、
アダプテーションフィールドフラグ判別手段と、
時間情報フラグ判別手段と、
時間情報抽出手段と、

パケット識別番号検出手段と、

パケット識別番号記憶手段と、

パケット識別番号比較手段と、

クロック発生手段とを備え、

入力される前記パケットから、

最初に到来する前記時間情報は、

前記アダプテーションフィールドフラグ判別手段により、前記アダプテーションフィールドが格納されている

と判別され、かつ、

前記時間情報フラグ判別手段により、前記時間情報が格納されていると判別された場合、

前記パケットの前記パケット識別番号を前記パケット識別番号記憶手段により記憶するとともに、

前記パケットの前記アダプテーションフィールド内の前記時間情報を前記時間情報抽出手段により抽出し、

次から到来する前記時間情報は、

入力されるパケットから前記パケット識別番号検出手段で検出した前記パケット識別番号と、前記パケット識別番号記憶手段で記憶しているパケット識別番号とを前記パケット識別番号比較手段により比較して、一致した場合に、そのパケットのアダプテーションフィールド内の時間情報を前記前記時間情報抽出手段により抽出して、その時間情報を基に前記クロック発生手段により、基準クロックを再生することを特徴とする記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基準クロック再生装置に関し、特に、ディジタルインターフェースを介して伝送された、処理の基準となる時間情報を含み所定のパケット形式のディジタル映像、音声信号のパケットデータから、前記時間情報を抽出してその時間情報を基に基準クロックを再生する基準クロック再生装置および記録装置に関する。

【0002】

【従来の技術】近年、ディジタル技術を用いた画像、音声等のデータ圧縮の研究が進み、これらデータの蓄積、伝送が容易にできるようになった。これに伴い、放送の分野においてもディジタル化が急速に進められている。

【0003】例えば、アナログ映像、音声信号をMPEG(Moving Picture Experts Group)規格を用いて高能率にディジタル圧縮符号化し、衛星や同軸ケーブルを通して放送するシステムが知られている。このディジタル放送を受信するための装置として、セットトップボックスと呼ばれるディジタル放送受信機がある。

【0004】また、家庭用の映像、音声信号記録再生機器としては、磁気テープを用い、ディジタルTV放送などのディジタル圧縮符号化された映像及び音声信号をディジタル信号のまま記録し再生できるディジタルVTRの開発が進められている。

【0005】このディジタル放送受信機とディジタルVTRは、ディジタルインターフェースで接続され、受信したディジタル放送を高品質で保存可能となる。

【0006】複数の情報が多重されて伝送されてくるディジタル信号を受信して所望の番組を選択する技術が、特開平8-56350に述べられている。また、回転磁気ヘッドを用いたディジタルVTRについては、例えば、特開平5-174496号に記載されている。

【0007】さらに、ディジタル放送受信機とディジタ

ルVTRをデジタルインターフェースで接続したデジタル放送記録システムについて、アイイーイーイー・トランザクションズ・オン・コンシューマー・エレクトロニクス、第42巻3号、1996年8月、617～622頁（IEEE Transactions on Consumer Electronics, Vol. 42, No.3, August 1996, p617-622 「Newly Developed D-VHS Digital Tape Recording System for the Multimedia Era」）に詳しく述べられている。

【0008】

【発明が解決しようとする課題】デジタル放送をデジタルVTRで記録する場合、到来するデータの集まりであるパケット列の時間間隔を再生時にも再現しなければならない。そこで、このようなデータを記録するデジタルVTRでは、記録するパケット列中に格納されている圧縮符号化の際の時間情報を抜き出して、圧縮符号化に用いられた基準クロックを再生して、その基準クロックを基に、記録動作を行う必要がある。本発明の目的は、複雑な処理を経ることなく、簡単な回路構成で、パケットデータから、基準クロックを得る基準クロック再生装置および記録装置を提供することにある。

【0009】

【課題を解決するための手段】上記課題を達成するため、処理の基準となる時間情報をプログラム毎に含み、所定のパケット形式で伝送される複数のプログラムが多重化されたパケット列のうち、複数のプログラムのパケット列を入力し、前記パケット列から、処理の基準となる時間情報を抽出して、その時間情報を基に基準クロックを再生する基準クロック再生装置において、パケット識別番号検出手段と、パケット識別番号記憶手段と、パケット識別番号比較手段と、時間情報抽出手段と、クロック発生手段とを備え、入力されるパケットから、前記時間情報検出手段により、時間情報を検出した場合、最初に到達した時間情報を格納しているパケットのパケット識別番号を記憶するとともに、前記パケットの時間情報を前記時間情報抽出手段により抽出し、次に到達するパケットからは、そのパケット識別番号と前記パケット識別番号記憶手段で記憶している前記パケット識別番号とを前記パケット識別番号比較手段により比較して、一致した場合に、前記パケットの時間情報を前記時間情報抽出手段により抽出して、その時間情報を基に前記クロック発生手段により、基準クロックを再生することにより実現する。

【0010】

【発明の実施の形態】以下、本発明の実施例を図面を用いて説明する。

【0011】なお、以下の説明において、本実施例で扱うデジタル信号として、国際標準である、MPEG2方式を用いた例を示す。

【0012】図1は、本発明における記録再生装置のブロック構成を示す図である。

【0013】同図中、100は記録再生装置、200はデジタル放送受信装置、101はデジタル放送信号等の入出力端子、102はデジタルインターフェース回路、103は基準クロック再生回路、1041はタイムスタンプ回路、1042は記録信号処理回路、1051は記録アンプ、1052は再生アンプ、1053は回転ドラム、1054は磁気ヘッド、106は磁気テープ、107はサーボ回路、1081は再生信号処理回路、1082はタイムスタンプ除去回路、109は発振器、201は、デジタル放送波を入力する入力端子、202はチューナ、203は復調および誤り訂正回路、204は選択回路、205は基準クロック再生回路、206はMPEGデコーダ、207は、映像・音声出力端子、208は、デジタルインターフェース回路、209はデジタル放送信号等の入出力端子である。

【0014】放送局より放送されたデジタル放送波は、入力端子201からデジタル放送受信装置200に入力される。放送波は、例えば、衛星を用いたデジタル衛星放送、地上波あるいはケーブルを介したデジタル放送等である。ここで、映像および音声信号は、MPEG方式により、放送局側において圧縮、パケット化されているとする。

【0015】チューナ202は、入力された放送波を受信し、制御回路（図示せず）によって指定された周波数の放送波に同調、検波を行う。検波された受信信号は、例えば4相位相変調（QPSK）のような変調方式で変調されており、次の、復調および誤り訂正回路203において、復調、さらに誤り訂正処理が施される。ここで得られたデジタル信号は、図2（a）に示すように、複数のチャンネルの圧縮映像、音声信号等のパケットが多重化された多重化信号（Transport Stream、以下TSと表記）形式となっている。パケットの大きさとしては、MPEG2規格の場合188バイトに規定されている。

【0016】選択回路204は、復調されたTSの中から、制御回路（図示せず）によって指定されたチャンネルの映像信号および音声信号を復号するのに必要なパケットのみを選択して取り出す（図2（b））。選択回路204の動作フローを図3に示す。まず、利用者は、視聴したい番組の編成チャンネルを入力する。編成チャンネルとは、一つの番組を構成する映像、音声等をまとめた呼び方であり、従来のアナログ放送というテレビのチャンネルに相当する。また、デジタル放送においては、一般的に複数の番組が多重された一つの周波数を物理チャンネルと呼ぶ。すなわち、物理チャンネルは、複数の編成チャンネルで構成される。

【0017】次に、現在受信しているTSに含まれるPAT（Program Association Table）を受信する。PATは、MPEG2規格で規定されているPSI（Program Specific Information）の中のテーブルの一つであ

る。PATを受信したら、指定された編成チャンネルを構成する映像、音声等のパケットの識別番号であるPID (Packet ID) が記述されているPMT (Program Map Table) のPIDをPATから取得し、前記PIDを有するPMTを受信する。PIDは各パケットのヘッダの部分に格納されている。また、PMTはPSIのテーブルの一つである。このPMTには受信中のTSに含まれる各編成チャンネルを構成する映像、音声および、映像、音声信号の圧縮の際に用いた基準クロックによって計時された時間情報を示すPCR (Program Clock Reference) 等のパケットのPIDが記述されており、所望の番組の映像、音声、PCR等のPIDを取得する。もし、現在受信している物理チャンネルに所望の編成チャンネルがない場合は、PSIの一つであり、編成チャンネルと物理チャンネルの関係が記述されているNIT (Network Information Table) を受信し、所望の編成チャンネルが含まれる物理チャンネルを取得し、その物理チャンネルに移行する。物理チャンネルの移行は、チューナ202の同調周波数を変更することで行われる。

【0018】ここで、選択回路204は映像、音声を格納しているPIDを持つパケット列をMPEGデコード206に供給するとともに、PCRを格納しているPIDを持つパケット列を基準クロック再生回路205に供給する。基準クロック再生回路205は、パケット内の時間情報を基に、圧縮の際に用いられた基準クロックの周波数を再生し、MPEGデコード206は、その再生した基準クロックを基準にして、圧縮されたデジタル映像、音声信号の伸長を行い、映像および音声を復元する。復元された映像、音声信号は、出力端子206から出力され、利用者は、モニターテレビ等を通して、映像、音声信号を視聴することができる。

【0019】次に、記録再生装置100の記録動作について説明する。

【0020】選択回路204は、複数の編成チャンネルで構成される、ある物理チャンネルのうち、全ての編成チャンネルあるいは、選択されたいくつかの編成チャンネルの映像、音声、PCR等のパケット列をデジタルインターフェース回路208に供給する。このデジタルインターフェース回路208は、例えばIEEE1394のような高速デジタルバスインターフェース等のプロトコルを実現するものであり、入力されたパケット列の時間間隔を維持しながら、高速にデータを伝送する機能を持つ。入出力端子209、101を介し、伝送されたデータは、デジタルインターフェース回路102により、選択回路204から出力された複数編成チャンネルの映像、音声、PCR等のパケット列の時間間隔を再現しながら、基準クロック再生回路103および、タイムスタンプ回路1041に供給される。

【0021】ここで、TSのパケットの構成について、図2を用いて説明する。同図(a)に示すように、一つ

の物理チャンネルには、複数の編成チャンネルが存在する。この中から、同図(c)に示すように、この例では、93チャンネルと115チャンネルの編成チャンネルがデジタルインターフェース回路208に供給される。TSのパケットは同図(d)に示すように、主にヘッダ11(a)およびデータ11(b)により構成されている。さらに同図(c)に示すように、ヘッダ11

(a)には、アダプテーションフィールドコントロール111と呼ばれる領域があり、このヘッダにアダプテーションフィールドと呼ばれる領域が存在するか否かを示す。また、パケットの識別番号であるPID113が格納されている。前述のように、各パケットに、編成チャンネルを構成する映像、音声、PCRなど、どの情報が格納されているかを識別するためには、このPIDを獲得する必要がある。アダプテーションフィールドコントロール111がアダプテーションフィールドの存在を示す場合、同図(f)に示すアダプテーションフィールド112が定義される。さらに、このアダプテーションフィールドには、PCRフラグ1121があり、アダプテーションフィールド112にPCRが格納されているかどうかを示す。このPCRフラグ1121がPCRの存在を示す場合、PCR1122には、前述の、映像、音声信号の圧縮の際に用いた基準クロックによって計時された時間情報を示すPCRが格納されている。すなわち、PCRは、パケットのアダプテーションフィールド内に格納されている。

【0022】図4は、基準クロック再生回路103のブロック構成の一例を示す図である。301は入力端子、302はアダプテーションフィールドコントロール検出回路、303はPCRフラグ検出回路、304はPCR記憶回路、305はカウンタ、306は減算器、307は差分記憶回路、308はPWM発生回路、309はローパスフィルタ(LPF)、310は電圧制御水晶発振器、311は出力端子、312はPID検出回路、313はPID記憶回路、314はPID比較回路である。

【0023】入力端子301には、前述のデジタルインターフェース回路102から複数の編成チャンネルの映像、音声、PCR等のパケット列が入力される。アダプテーションフィールドコントロール検出回路302は、入力されたパケット列の中からアダプテーションフィールドコントロールがアダプテーションフィールドの存在を示している場合、それを検出する。次に、アダプテーションフィールドコントロール検出回路302がアダプテーションフィールドの存在を検出すると、PCRフラグ検出回路303は、さらに、そのアダプテーションフィールドの中のPCRフラグを参照し、そのアダプテーションフィールドがPCRを格納しているかどうかを検出する。PCRフラグ検出回路303がPCRの存在を検出すると、その旨をPCR記憶回路304と、カウンタ305、さらにPID記憶回路に伝達する。それ

に従って、PCR記憶回路304は、検出したPCRの値を記憶する。また、カウンタ305は最初にそのPCRの値を初期値として設定する。さらに、PID検出回路312は、到来するパケットのPIDを検出しており、最初のPCR検出回路303からのPCR検出の信号を受け、PID記憶回路313に、そのパケットすなわち、複数の編成チャンネルのパケット列のうち、最初に到来したPCRを格納しているパケットのPIDを記憶させる。

【0024】減算器306はカウンタ305の値からPCR記憶回路304の値を減算し、誤差値として出力する。差分記憶回路307はPCRフラグ検出回路303からの指示で減算器306の演算結果値を記憶する。最初にPCRが到達したとき、この差分記憶回路307の値はゼロになる。差分記憶回路307の値は、PWM発生回路308に供給される。PWM発生回路308は、誤差値に応じて、その出力パルスのデューティ比を変化させる。その出力パルスは、LPF309により平滑され、電圧制御水晶発振器310に入力される。電圧制御水晶発振器310は、その制御電圧であるLPF309からの入力によりその発振周波数を変化させ、クロック信号としてカウンタ305、および出力端子311に出力する。カウンタ305は、電圧制御水晶発振器310からのクロック信号をもとに、初期値から計数していく。次にPCRが到来した時には、カウンタ305は初期値の設定は行わずに、計数を続行する。

【0025】ここで、次に到来するPCRの獲得は、PID記憶回路313に記憶されているPIDの値を、PID比較回路314が、到来してくるパケットのPIDと比較し、一致したところでPCR記憶回路304にその旨を伝え、PCR記憶回路304がそのパケットからPCRの情報を記録する。到来してくるパケットは、複数の編成チャンネルを含んでおり、各々の編成チャンネルで、個別のPCRを格納している。従って、アダプテーションフィールドおよびPCRフラグは、PCRを格納しているパケット全てで検出されるが、PIDの判別を加えることで、一つの編成チャンネルのPCRを獲得することができ、PCRの連続性が失われない。

【0026】このように、基準クロック再生回路301は、いわゆるPLL(Phase Lock Loop)構成となっており、結果として、この電圧制御水晶発振器310のクロック信号は、映像、音声信号の圧縮の際に放送局側で用いた基準クロックに同期することになる。なお、電圧制御水晶発振器310は、通常その中心発振周波数として27MHzが選ばれる。

【0027】図5に、基準クロック再生回路301の動作タイミングを示す。入力されるTSのパケットには、前述のPCRが各編成チャンネル毎に、全パケットではなく、いくつかのパケットにちりばめられ格納されている。MPEG2規格では、PCRを格納しているパケッ

トの時間間隔として100ms以内と定められている。最初に、前述のように、アダプテーションフィールドコントロールおよびPCRフラグによりPCRの存在を確認すると、PCR記憶回路304とカウンタ305に、到来したPCRの値が格納および設定されるとともに、PID記憶回路313にPIDが記憶される。このとき、差分記憶回路307にも減算器306の結果が格納される。例えば、最初に到来したパケットのPCRの値が16でPIDが32とすると、そのPCR値16がPCR記憶回路304に記憶され、またカウンタ305の初期値として設定され、また、PID記憶回路に32が記憶される。減算器306での減算の結果はゼロであるので、PWM発生回路308はデューティ50%のパルス出力する。このとき、LPF309の出力は、ある一定の電位を保つ。従って、電圧制御水晶発振器310の発振周波数は一定である。次のPCRが到来した時に、最初に記憶したPIDと同一のPIDを持つパケットが到来したときに、PCR記憶回路にそのPCR値が記憶され、再び、カウンタ値との減算および結果の記憶が行われる。図では、PIDが16のパケットがPCRを格納しているが、このパケットは無視する。次のPIDが32のパケットのPCRを獲得する。このとき、カウンタ値には初期値の設定は行われない。例えば、到来したPCRの値が115、カウンタ値が110とすると、減算結果はマイナス5となる。この場合、PWM発生回路308はハイレベルの比率が高いパルス出力する。この比率は、例えばルックアップテーブルを用意し、演算結果と照らし合せて、比率を決定する。そのため、LPF309の出力電圧は徐々に上昇し、それにより電圧制御水晶発振器310の発振周波数が高くなると、到来したPCR値とカウンタ305の計数値の差が縮まる方向に作用する。同様に、減算器306の結果が正の場合、PWM発生回路308の出力パルスはローレベルの比率の高いパルスとなり、LPF309の出力電圧は減少し、電圧制御水晶発振器310の発振周波数が低くなる。以上のような制御により、電圧制御水晶発振器310のクロック信号の発振周波数は、映像、音声信号の圧縮の際に放送局側で用いた基準クロックの発振周波数と一致することになり、この基準クロック再生回路103により、基準クロック信号を復元することができる。

【0028】すなわち、デジタルインターフェース回路102を介して伝送されてきた複数編成チャンネルのパケット列からそのPCRを獲得するために、前述のPSIテーブルからのPIDの参照を行う必要がない。従って、簡単な回路構成でPCRの獲得が可能である。

【0029】再び図1に戻って説明する。基準クロック再生回路103で復元された基準クロックは、タイムスタンプ回路1041および記録信号処理回路1042に供給される。タイムスタンプ回路1041では、ディジ

タルインターフェース回路102からの各パケットに、基準クロック再生回路103からの基準クロックをもとに、各パケットの到来時刻をタイムスタンプとして付加する。タイムスタンプとしては、例えば4バイトとし、パケットデータと合わせて192バイトのパケットとして記録信号処理回路1042に渡す。記録信号処理回路1042では、所定の制御符号、誤り訂正符号等を付加し、記録信号として、記録アンプ1051に供給する。また、サーボ回路107は基準クロック再生回路103からの基準クロックを基に動作する記録信号処理回路1042からの基準信号により、回転ドラム1053の回転位相を制御し、回転ドラム1053に搭載された磁気ヘッド1054により、磁気テープ106上に、所定の記録トラックを形成し、記録される。以上のような処理により、利用者が選択した番組を磁気テープ上に記録することが可能となる。

【0030】次に、再生動作について説明する。

【0031】再生時には、発振器109が27MHzの周波数で発振する水晶発振器等により基準クロックを発生する。その基準クロックは、再生信号処理回路1081、タイムスタンプ除去回路1082に供給され、サーボ回路107には、再生信号処理回路1081からの基準信号が入力される。サーボ回路107は、回転ドラム1053の回転位相を制御し、磁気テープ106上の記録トラックを走査する磁気ヘッド1054により記録トラックから再生信号が得られ、再生アンプ1052により増幅されて、再生信号処理回路1081に再生信号が入力される。再生信号処理回路1081では、誤り訂正処理等を行い、192バイトのパケットを再生する。タイムスタンプ除去回路1082は、発振器109の基準クロックで動作する時間情報を発生する計時機能を持ち、記録時にパケットに付加されたタイムスタンプと、タイムスタンプ除去回路1082で得られた時間情報とが一致した時点で、タイムスタンプを取り除き、188バイトのパケットをデジタルインターフェース回路102に出力する。以上のような動作により、記録時に入力されたパケット列の各パケットの時間間隔を保ったまま、そのパケット列を再生することが可能となる。

【0032】再生されたパケット列は、デジタルインターフェース回路102、208を経て各パケットの時間間隔を維持しながら、選択回路204に供給され、放送波の受信時と同様の動作により、利用者は、磁気テープ上の情報を視聴することができる。

【0033】以上の実施例では、扱うデジタル信号として、MPEG2規格のパケットを例に示したが、これ

に限定するものではない。また、扱う情報は、映像、音声信号のみならず、コンピュータプログラム等のデジタルデータでもかまわない。さらに、基準クロック再生回路として、PLL構成の例を示したが、これに限定するものではなく、例えば、入力データにより発振周波数を設定可能な発振器を用い、差分記憶回路の出力を入力して発振周波数を制御してもよい。また、本実施例では、回転ヘッド型磁気記録装置を例に示したが、これらに限定するものではなく、例えば記録媒体として、光ディスク、半導体メモリを利用したものでもよい。さらに、デジタルインターフェースの例として、IEEE1394高速デジタルバスインターフェースの例を示したがこれに限定するものではない。

【0034】

【発明の効果】以上、説明したように、伝送されたパケット列に含まれる時間情報を簡単な回路構成で獲得し、基準クロックを再生することが可能となる。

【図面の簡単な説明】

【図1】本発明による記録再生装置の一実施例を示すブロック図である。

【図2】パケットの多重方式およびパケットの構造を示す図である。

【図3】デジタル放送受信装置の基準クロック再生回路の動作フローチャート図である。

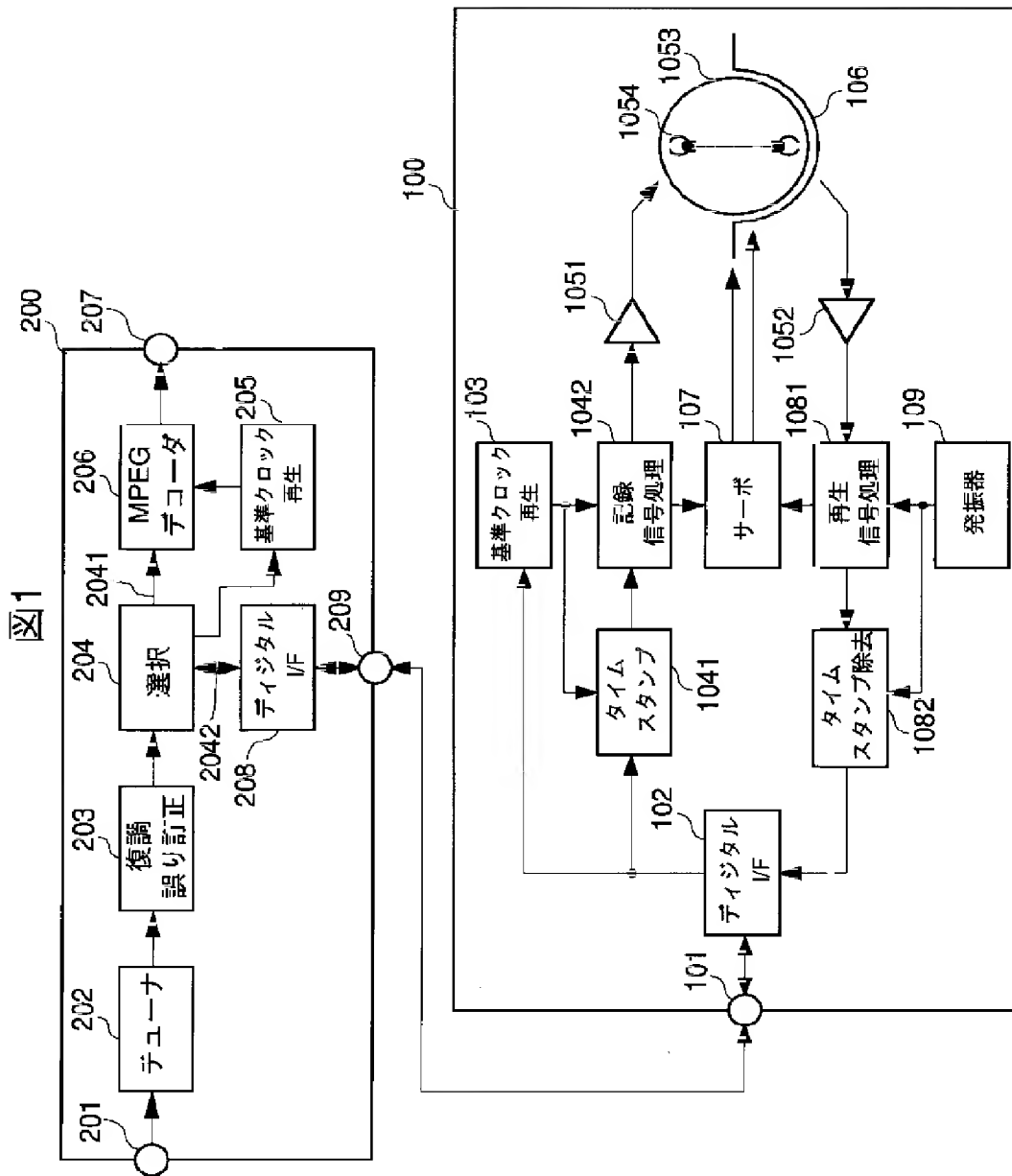
【図4】本発明による記録再生装置の基準クロック再生回路の一実施例を示すブロック図である。

【図5】本発明による記録再生装置の基準クロック再生回路の動作タイミングを示す図である。

【符号の説明】

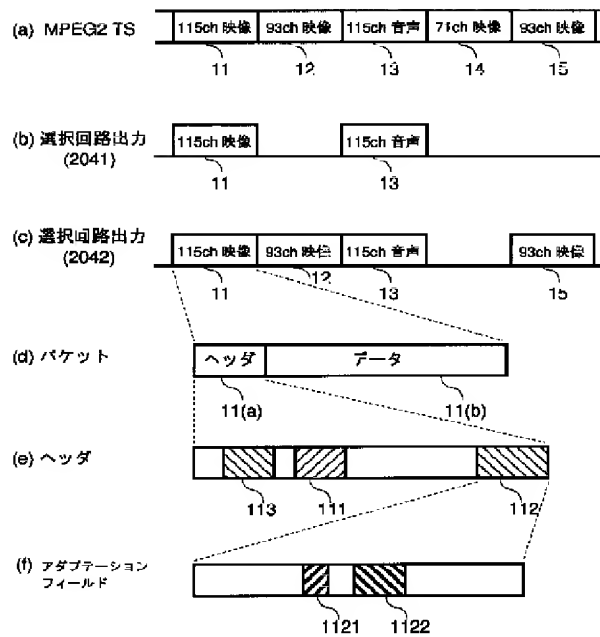
100…記録再生装置、102…デジタルインターフェース回路、103…基準クロック再生回路、1041…タイムスタンプ回路、1042…記録信号処理回路、1053…回転ドラム、106…磁気テープ、107…サーボ回路、1081…再生信号処理回路、1082…タイムスタンプ除去回路、200…デジタル放送受信装置、202…チューナ、203…復調および誤り訂正回路、204…選択回路、205…基準クロック再生回路、206…MPEGデコーダ、208…デジタルインターフェース回路、302…アダプテーションフィールドコントロール検出回路、303…PCRフラグ検出回路、304…PCR記憶回路、305…カウンタ、306…減算器、307…差分記憶回路、308…PWM発生回路、309…ローパスフィルタ、310…電圧制御水晶発振器、312…PID検出回路、313…PID記憶回路、314…PID比較回路。

【図1】



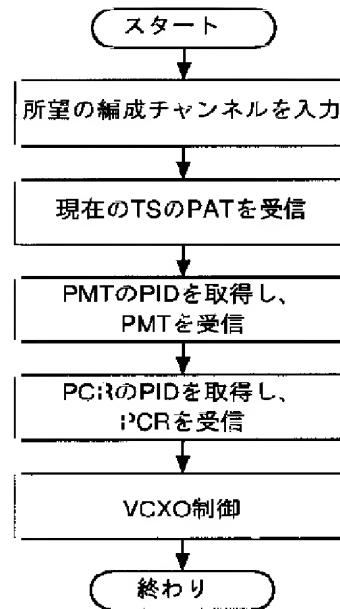
【図2】

図2



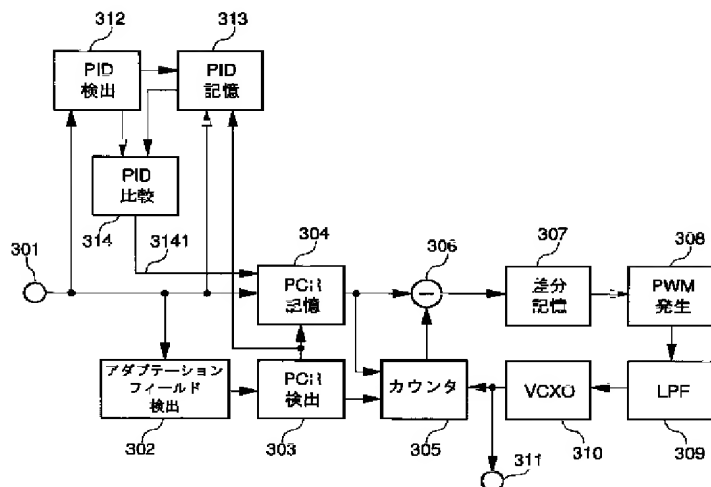
【図3】

図3



【図4】

図4



【 図 5 】

